

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

4/5/1 (Item 1 from file: 351)
DIALOG(R)File 351:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

010556274 **Image available**
WPI Acc No: 1996-053227/199606
XRPX Acc No: N96-044683

Multilayer PWB for mounting electronic component e.g. semiconductor element - possesses thermal expansion coefft. gradually increasing in stacked direction to produce tension curvature ensuring strong connection
Patent Assignee: HITACHI LTD (HITA)
Number of Countries: 001 Number of Patents: 001
Patent Family:
Patent No Kind Date Applicat No Kind Date Week
JP 7297560 A 19951110 JP 9491200 A 19940428 199606 B

Priority Applications (No Type Date): JP 9491200 A 19940428
Patent Details:
Patent No Kind Lan Pg Main IPC Filing Notes
JP 7297560 A 9 H05K-003/46

Abstract (Basic): JP 7297560 A

The multilayer PWB has a pair of PWBs (1,2) which are alike and separated by an interlayer absorption layer (3). The latter absorbs interlayer shear distortion. The thermal expansion coefficient of the PWB is made to increase gradually in the stacked direction.

USE/ADVANTAGE - Improves connection reliability, e.g. between silicon chip and ball grid array package.

Dwg.1/6

Title Terms: MULTILAYER; PWB; MOUNT; ELECTRONIC; COMPONENT; SEMICONDUCTOR; ELEMENT; POSSESS; THERMAL; EXPAND; COEFFICIENT; GRADUAL; INCREASE; STACK; DIRECTION; PRODUCE; TENSION; CURVE; ENSURE; 'STRONG; CONNECT
Index Terms/Additional Words: Printed; Wiring; Board
Derwent Class: U11; U14; V04
International Patent Class (Main): H05K-003/46
International Patent Class (Additional): H01L-023/12
File Segment: EPI

4/5/2 (Item 1 from file: 347)
DIALOG(R)File 347:JAPIO
(c) 2004 JPO & JAPIO. All rts. reserv.

05004960 **Image available**
MULTILAYER PRINTED WIRING BOARD AND ITS MOUNTING STRUCTURE

PUB. NO.: 07-297560 [JP 7297560 A]
PUBLISHED: November 10, 1995 (19951110)
INVENTOR(s): ISHII TOSHIKI
NAGAI AKIRA
EGUCHI KUNIYUKI
SEGAWA MASANORI
KOKADO HIROYOSHI
OGINO MASAHIKO
MOGI AKIRA
APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP (Japan)
APPL. NO.: 06-091200 [JP 9491200]
FILED: April 28, 1994 (19940428)
INTL CLASS: [6] H05K-003/46; H01L-023/12
JAPIO CLASS: 42.1 (ELECTRONICS -- Electronic Components); 14.2 (ORGANIC CHEMISTRY -- High Polymer Molecular Compounds); 42.2 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R119 (CHEMISTRY -- Heat Resistant Resins); R124 (CHEMISTRY -- Epoxy Resins); R125 (CHEMISTRY -- Polycarbonate Resins)

ABSTRACT

PURPOSE: To improve the reliability of connection of the bare chip mounting of a silicon chip and the like and also to improve the connection reliability of a ball-grid array package and the like by a method wherein the warpage and the interlayer exfoliation caused by the shear strain, generated by the thermal expansion coefficient which is different on the upper surface and the lower surface of a multilayer printed wiring board, is absorbed by a shear strain absorbing layer provided between layers.

CONSTITUTION: An absorption layer 3, which absorbs interlayer shear strain, is provided between multilayer printed wiring board 1 and 2, and the thermal expansion coefficient in planar direction of each layer is characteristically changed in the direction of lamination in a stepwise manner in this multilayer printed wiring board and the mounting structure thereof.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-297560

(43)公開日 平成7年(1995)11月10日

(51)Int.Cl.⁶

H 0 5 K 3/46

識別記号

庁内整理番号

F I

技術表示箇所

Z 6921-4E

Q 6921-4E

T 6921-4E

H 0 1 L 23/12

H 0 1 L 23/ 12

N

審査請求 未請求 請求項の数6 O L (全 9 頁)

(21)出願番号

特願平6-91200

(22)出願日

平成6年(1994)4月28日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 石井 利昭

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72)発明者 永井 晃

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72)発明者 江口 州志

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(74)代理人 弁理士 高橋 明夫 (外1名)

最終頁に続く

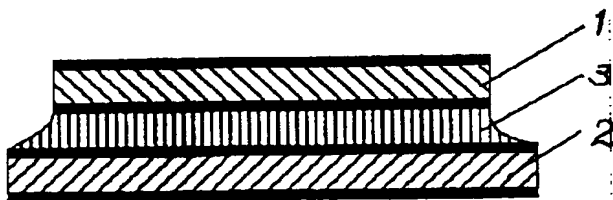
(54)【発明の名称】 多層プリント配線基板およびその実装構造体

(57)【要約】

【構成】多層プリント配線基板1, 2の層間に、層間の剪断ひずみを吸収する吸収層3を設け、かつ、各層の面内方向の熱膨張係数を積層方向に対し段階的に変化させたことを特徴とする多層プリント配線基板およびそれを用いた実装構造体。

【効果】多層プリント配線基板の上面と下面で異なる熱膨張係数により生ずる剪断ひずみによる反りや層間剥離を、層間に剪断ひずみの吸収層3を設けて吸収し、シリコンチップ等のペアチップ実装、ボールグリッドアレイパッケージ等の接続信頼性を向上させた。

図 1



1, 2...プリント配線基板 3...吸収層

2

【0010】熱膨張係数 α_1 、弾性率 E_1 、体積 V_1 を有

3

するプリント配線基板 1 と、熱膨張係数 α_2 、弾性率 E_2 、体積 V_2 を有するプリント配線基板 2 とを積層し多層プリント配線基板とした場合、 ΔT の温度変化を与え

$$\varepsilon_1 = \alpha_1 \times \Delta T, \quad \varepsilon_2 = \alpha_2 \times \Delta T$$

これらの伸びは基板間の応力を増大させるため、基板の反りや剥離を生じる原因となる。

【0012】伸びにより発生する応力を低減するためには、プリント配線基板自体の弾性率を低減することが有効である。しかし、現在一般に用いられているプリント配線基板にはガラスクロス等の無機物をエポキシ樹脂やフェノール樹脂等の熱硬化性樹脂を含浸したもの、あるいはセラミックのような無機物の基板を用いているためにその熱膨張係数を増加させずに、弾性率を低減することは極めて難しい。

【0013】また前記特開平 2-181997 号公報記載の、熱膨張係数 3 ppm/°C のシリコンチップをはんだボールバンプを介して直接プリント配線基板上に実装するベアチップ実装では、はんだボール部分の接続信頼性を確保することが難しい。

【0014】本発明の目的は、多層プリント配線基板の層間および半導体素子と多層プリント配線基板間に発生する剪断熱ひずみを緩和し、優れた接続信頼性を有する多層プリント配線基板並びにその実装構造体を提供することにある。

【0015】

【課題を解決するための手段】前記課題を解決する本発明の要旨は次のとおりである。

【0016】(1) 多層プリント配線基板の層間に、層間の剪断ひずみを吸収する吸収層を設け、かつ、各層の面内方向の熱膨張係数を積層方向に対し段階的に変化させた多層プリント配線基板。

【0017】(2) 前記吸収層がプリント配線基板よりも低弾性率の樹脂層で構成されている前記の多層プリント配線基板。

【0018】(3) 前記吸収層が、電気導電性粒子を分散した熱硬化性または熱可塑性の樹脂からなり、面内方向は絶縁性を有し、膜厚方向は加圧により導電性となる異方性導電膜からなる前記の多層プリント配線基板。

【0019】(4) 前記プリント配線基板上面の熱膨張係数が 3~10 ppm/°C、これに対する下面の熱膨張係数が 10 ppm/°C よりも大きい。

【0020】(5) 多層プリント配線基板の層間に、層間の剪断ひずみを吸収する吸収層を有し、かつ、各層の面内方向の熱膨張係数が積層方向に対し段階的に変化しており、上面の熱膨張係数が 3~10 ppm/°C、これに対する下面の熱膨張係数が 10 ppm/°C よりも大きく、前記熱膨張係数が 3~10 ppm/°C の面と半導体素子の回路形成面とが電氣的に接続されている多層プリント配線の実装構造体。

【0021】(6) 前記半導体素子と多層プリント配

4

ると式 [1] で示す伸び ε_1 、 ε_2 が両基板に生じる。

【0011】

【数 1】

[1]

線基板との電氣的接続部が樹脂封止されている多層プリント配線の実装構造体。

【0022】本発明を図面により詳細に説明する。図 1 に示すようにプリント配線基板 1 とプリント配線基板 2 が積層された多層プリント配線基板の層間に、プリント配線基板 1、2 と比べて弾性率が小さな吸収層 3 を設けることによりプリント配線基板 1、2 間に生じる剪断ひずみを吸収する。

【0023】熱膨張係数 α_1 と α_2 が大きく異なる場合には、プリント配線基板 1 と剪断ひずみの吸収層 3 との界面の応力がプリント配線基板 2 に影響を及ぼすが、吸収層 3 の厚さを、熱膨張係数の差が緩和できるように弾性率を厚く調整することにより緩和することができる。

【0024】また、プリント配線基板 1 とプリント配線基板 2 の間に熱膨張係数が α_1 と α_2 の中間値を示すプリント配線基板を一層以上、上記吸収層 3 を介して挿入することにより効果が得られる。この場合、多層プリント配線基板の上面あるいは下面から、それぞれの層のプリント配線基板の熱膨張係数を段階的に増加あるいは低下させて行くことによって、より効率的に剪断ひずみを低減することができ、吸収層 3 への負担を低減することができる。

【0025】この剪断ひずみを吸収する吸収層 3 としては、プリント配線基板よりも低弾性率のもので、例えば、天然ゴム、スチレンブタジエンゴム、スチレン/アクリルニトリルゴム、ニトリルゴム、ウレタンゴム、シリコーンゴム、フッ素系ゴムなどの各種ゴム材料が挙げられる。中でも耐湿性、耐久性、耐熱性に優れたオルガノポリシロキサン、特に、分子中にアルコキシ基を少なくとも一つ有する有機ケイ素化合物を過酸化合物あるいは白金系触媒で硬化させたシリコーン系ゴムが好適である。また、ゴム材料よりも架橋密度が低く更に低弾性率である各種ゲル材料も好適である。ゲル材料としてはシリコーンゴムの架橋密度をさらに小さくしたシリコーンゲルが好適である。さらに、低架橋密度のエポキシ樹脂、ポリアクリレート、ポリメタクリレート、ウレタンアクリレート等の熱硬化性樹脂が挙げられる。また、これら上記混合物も有効である。

【0026】また、吸収層 3 として、プリント配線基板の積層方向にのみ電氣的な接続を可能とする異方性導電膜を用いる。この異方性導電膜は、熱可塑および熱硬化性樹脂中に銅などの導電性粒子が分散したもので、面方向には高い絶縁性を有しているが、膜厚方向には加圧することで電気伝導性を示すものである。従って、プリント配線基板間の電氣的な接続が容易で、スルーホール等の加工の必要がなく、スルーホール接続に比べて接続信

頼性が向上し好ましい。

【0027】上記導電性粒子のマトリックス樹脂には天然ゴム、スチレンブタジエンゴム、スチレン-アクリルニトリルゴム、ニトリルゴム、ウレタンゴム、シリコンゴム、フッ素系ゴムなどのゴム状物質、またはこれらとエポキシ樹脂やポリイミド等の共重合物または混合物、ポリエーテルアミドイミドなどの熱圧着型の熱可塑性樹脂も好適である。

【0028】本発明の多層プリント配線基板の構成材料としては、有機物と無機物の混合物または無機物を単独で用いることができる。有機物としてはエポキシ樹脂、マレイミド樹脂、ポリイミド樹脂、シアネート樹脂、フェノール樹脂等の熱硬化性樹脂、また、ポリアリレート、ポリカーボネイト、ポリサルホン、ポリエーテルサルホン、ポリフェニレンエーテル、ポリエチレン等の熱可塑性樹脂が適している。

【0029】また、上記樹脂材料とアラミド繊維、フッ素系樹脂繊維、紙、Sガラスクロス、Eガラスクロス、Dガラスクロス、Hガラスクロス、Aガラスクロス、Cガラスクロス、ARガラスクロス、Lガラスクロス、石英繊維等の無機材料、またはシリカ、アルミナ等の粉末状充填材も併用することができる。

【0030】他にアルミナセラミック、セラミック/エポキシ樹脂複合体、窒化アルミニウム、低融点ガラス等が適している。ガラスクロス単独、または、熱膨張係数の小さなシリカとガラスクロスとの併用が好適である。粉末状無機充填材は主にプリント配線基板の熱膨張係数の調整に用いられる。

【0031】マトリックスとなる有機材料には成形性と電気特性のバランスからエポキシ樹脂が好適である。

【0032】本発明の多層プリント配線基板の製法は、図2に示す様に、まず無機繊維材料あるいは有機繊維材料にエポキシ樹脂などを含浸したプリプレグを作製し、このプリプレグの両面に銅箔4、5を張り合わせプレス成形した後、銅箔上の片面あるいは両面に回路6、7を形成してプリント配線基板1、2を作成し、吸収層3を介して積層接着する。次いで、プリント配線基板1、2間の導通をとるためスルーホール8を形成し、スルーホール内を銅メッキし、次に最外層の銅箔上に回路9、10を形成する。

【0033】剪断ひずみの吸収層3は、プリント配線基板と全面で接着していることが望ましいが、低弾性率化するため、吸収層自体を格子状にし部分的に接着することも可能である。また、強度を補う目的で、有機あるいは無機材料のクロス、あるいは粉体を充填材として吸収層に配合することもできる。これらの組成は、各層で用いるそれぞれのプリント配線基板の物性値により、適宜、最適なものを選択し用いることが望ましい。

【0034】

【作用】本発明の多層プリント配線基板は、図3に示す

ように、シリコンチップをプリント配線基板に直接実装するベアチップ実装に適しており、熱膨張係数の小さな上面をシリコンチップの搭載面とし、また、熱膨張係数の大きな下面を実装基板への実装面とするマルチチップモジュール構造体に適用することにより、シリコンチップと実装基板間の接続信頼性を大幅に向上させることができる。

【0035】

【実施例】

10 【実施例1】エポキシ樹脂（EPON828、油化シェル製）100重量部に対して硬化剤としてジアミノジフェニルメタンを当量配合し、硬化促進剤にジシアンジアミドを、溶剤にメチルエチルケトンを用いてワニス1を作製した。また無機質充填剤として球状シリカ粉末アドマファイン（SD-25R、龍森製）50重量部をワニス1に配合しワニス2を作製した。石英ガラスクロスにワニス2を含浸したプリプレグを形成し、この両面に銅箔を貼り付け、加熱プレス成形して銅張基板1を作製した。

20 【0036】上記の銅張基板1の片面をエッチングすることによりパターン形成を行ない回路を形成し、プリント配線基板1を得た。該プリント配線基板1の熱物性試験機（TMA2000、DuPont社製）を用いて測定したXY面内方向の熱膨張係数は7ppm/℃である。

【0037】次に、Eガラスクロスにワニス1を含浸しプリプレグを形成し、この両面に銅箔を貼り付け加熱プレス成形して銅張基板2を作製した。

30 【0038】上記銅張基板2の片面をエッチングすることによりパターン形成を行ない回路を形成し、プリント配線基板2を得た。該プリント配線基板2のXY面内方向の熱膨張係数は15ppm/℃である。

40 【0039】上記のプリント配線基板1、2のパターン形成面同志をシリコンゴム（KE1800ABC、信越化学工業）を用いて接着し、全体の厚さが0.7mmになるように加圧成形した。これをドリル加工により直径500μmのスルーホールを形成し、膜厚20μmの銅メッキを施した。プリント配線基板1とプリント配線基板2のパターンを形成していない最外層面をエッチングによりパターン形成し、多層プリント配線基板Aを得た。

【0040】【実施例2】セラミック/エポキシ樹脂複合基板（CERACOM-001、イビデン製、XY面内方向の熱膨張係数3.8ppm/℃）の実装面と反対側の面にパターンを形成し、この面に前記実施例1のプリント配線基板2のパターン形成面をシリコンゴム（KE1800ABC、信越化学工業）を用いて接着し、全体の厚さが1.4mmになるように加圧成形した。これをドリル加工により直径500μmのスルーホールを穿け、厚さ20μmの銅めっきを施した。次い

7

で、セラミック／エポキシ樹脂複合基板とプリント配線基板2のパターンを形成していない最外層面をエッチングによりパターン形成し、多層プリント配線基板Bを得た。

【0041】〔実施例3〕Eガラスクロスに前記ワニス2を含浸してプリプレグを形成し、この両面に銅箔を貼り付け、加熱プレス成形して銅張基板3を得た。この銅張基板3の両面をエッチングすることによりパターン形成を行ないプリント配線基板3を得た。該プリント配線基板3のXY面内方向の熱膨張係数は10ppm/℃である。

【0042】セラミック／エポキシ樹脂複合基板（CERACOM-001、イビデン製、XY面内方向の熱膨張係数3.8ppm/℃）の実装面と反対側の面にパターンを形成し、図4に示すように、セラミック／エポキシ樹脂複合基板22のパターン形成面とプリント配線基板3、およびプリント配線基板3と前記プリント配線基板2のパターン形成面とをシリコンゴム（KE180

表 1

8

0ABC、信越化学工業）25を用いて接着し全体の厚さが1.6mmになるように加圧成形した。

【0043】その後ドリル加工により直径500μmのスルーホールを穿け、膜厚20μmの銅メッキを施し、セラミック／エポキシ樹脂複合基板とプリント配線基板2のパターンを形成していない最外層面をエッチングによりパターン形成し、多層プリント配線基板Cを得た。

【0044】〔比較例1〕前記プリント配線基板1および2のパターン形成面同志を、Eガラスクロスにワニス1を含浸させたプリプレグを用いて接着し、0.7mmになるように加圧成形した。これをドリル加工により直径500μmのスルーホールを形成し、膜厚20μmの銅メッキを施した。プリント配線基板1と2のパターンを形成していない最外層面をエッチングすることによりパターンを形成し、多層プリント配線基板Dを得た。

【0045】

【表1】

		多層プリント配線基板	構成	樹脂	ガラスクロス	熱膨張係数 (ppm/℃)
実施例	1	A	第1層	SiO ₂ 含有エポキシ	石英	7
			第2層	エポキシ	Eガラス	15
			1~2層間	シリコンゴム	—	—
	2	B	第1層	セラミック—エポキシ樹脂の複合板		3.8
			第2層	エポキシ	Eガラス	15
			1~2層間	シリコンゴム	—	—
	3	C	第1層	セラミック—エポキシ樹脂の複合板		3.8
			第2層	SiO ₂ 含有エポキシ	石英	7
			第3層	エポキシ	Eガラス	15
			各層間	シリコンゴム	—	—
比較例	1	D	第1層	SiO ₂ 含有エポキシ	石英	7
			第2層	エポキシ	Eガラス	15
			1~2層間	エポキシ	Eガラス	15

【0046】

【表2】

表 2

	温度サイクル試験 (サイクル数)	はんだフロート試験
実施例 1	1000	異常なし
" 2	500	異常なし
" 3	800	異常なし
比較例 1	100	異常なし

温度サイクル試験：-60℃～+125℃

はんだフロート試験：288℃，10秒後のスルーホール

および絶縁層の異常の有無

【0047】表1に実施例1～3、比較例1の多層プリント配線基板の構成と各層の熱膨張係数を示す。これらの多層プリント配線基板の温度サイクル試験、はんだフロート試験による信頼性を評価した。その結果を表2に示す。

【0048】プリント配線基板の層間に剪断ひずみの吸収層3として低弾性率のシリコンゴムを用いた実施例1が、比較例1に比べて温度サイクル性が向上している。

【0049】また、熱膨張係数3.8ppm/℃のプリント配線基板と15ppm/℃のプリント配線基板の層間に、熱膨張係数7.0ppm/℃のプリント配線基板が挿入された実施例3のものが、実施例2に比べると温度サイクル性が優れている。

【0050】以上の結果から、異なる熱膨張係数のプリント配線基板を積層する場合は、層間に吸収層3を設けたことにより、信頼性を向上でき、また、各プリント配線基板の熱膨張係数を積層方向に対して段階的に変化

(暫減または暫増)させることにより、その効果を増すことができる。

【0051】〔実施例4〕図5に示すように、前記多層プリント配線基板Bの片面にシリコンチップの搭載面を形成し、その裏面には、はんだボールグリッド30を形成できるような実装面を形成した。その後多層プリント配線基板を20×20mmに切断しシリコンチップ搭載面に、8×8mmのシリコンチップ26をダイアタッチメントを用いて搭載した。

【0052】シリコンチップ26のアルミ電極部分から多層プリント配線基板Bの電極部分に金ワイヤ28による接続を行なった後、硬化後の熱膨張係数8ppm/℃を有する樹脂封止材27を用いて封止した。なお、充填材としては熔融して球形化したシリカを85容量%配合した。次いで、多層プリント配線基板の実装面の電極部分にそれぞれ14×14個のはんだボールグリッド30を形成することによりボールグリッドアレイ型の実装構造体を得た。

【0053】〔実施例5〕図6に示すように、セラミック／エポキシ樹脂複合基板(CERACOM-001、イビデン製、XY面内方向の熱膨張係数3.8ppm/

℃)の片面(実装面と反対側)にパターンを形成し、このパターン形成面とプリント配線基板2のパターン形成面とをエポキシ樹脂とオルガノポリシロキサンとの共重合体中に、平均粒径10μmの銅粒子32を分散させた異方性導電膜31を用いて接着し、全体の厚さが1.4mmになるように加圧成形した。

【0054】その後、セラミック／エポキシ樹脂複合基板とプリント配線基板2のパターンが形成されていない最外層面をエッチングすることによりパターン形成を行ない、多層プリント配線基板29を得た。

【0055】この多層プリント配線基板の裏面にははんだボールグリッドを形成できるような実装面を形成した。その後、多層プリント配線基板29を20×20mmに切断しシリコンチップ搭載面に8×8mmのシリコンチップ26をダイアタッチメントを用いて搭載した。シリコンチップのアルミ電極部分から多層プリント配線基板の電極部分に金ワイヤ28による接続を行なった後、硬化後の熱膨張係数8ppm/℃を有する樹脂封止材27を用いて封止した。その後、多層プリント配線基板の実装面の電極部分にそれぞれ14×14個のはんだボールグリッド30を形成することによりボールグリッドアレイ型の実装構造体を得た。

【0056】〔比較例2〕熱膨張係数15ppm/℃を有するプリント配線基板2同志を全体の厚さが2mmになるように、ワニス1とEガラスクロスを用いて加圧成形した。その後ドリル加工により直径500μmのスルーホールを穿け、厚さ20μmの銅メッキを施し、パターンを形成していない最外層面をエッチングすることによりパターン形成を行ない、多層プリント配線基板を得た。

【0057】多層プリント配線基板の片面にシリコンチップの搭載面を形成し、その裏面にははんだボールグリッド30を形成できるような実装面を形成した。その後、多層プリント配線基板を20×20mmに切断しこのシリコンチップ搭載面に8×8mmのシリコンチップ26をダイアタッチメントを用いて搭載した。シリコンチップ26のアルミ電極部分から多層プリント配線基板の電極部分に金ワイヤ28による接続を行なった後、硬化後の熱膨張係数8ppm/℃を有する樹脂封止材27を用

いて封止した。次いで、多層プリント配線基板29の実装面の電極部分にそれぞれ14×14個のはんだボールグリッド30を形成することによりボールグリッドアレ

イ型の実装構造体を得た。

【0058】

【表3】

表 3

	耐温度サイクル性			耐リフロー性		
	(サイクル数)			(吸湿時間)		
	100	1000	5000	48	96	168
実施例 4	0/30	0/30	0/30	0/30	0/30	0/30
# 5	0/30	0/30	0/30	0/30	0/30	0/30
比較例 2	5/30	30/30	30/30	2/30	30/30	30/30

耐温度サイクル性：-50～+150℃での内部剥離、クラック数
(不良発生数/試験数)

耐リフロー性：85℃/RH85%吸湿させ、溶融はんだ浴に
260℃、10秒間浸漬後の内部剥離、クラック数
(不良発生数/試験数)

【0059】表3に、実施例4、5、比較例2のボールグリッドアレイ型の実装構造体の温度サイクル性と耐リフロー性を示す。実施例4、5ではシリコンチップの搭載面の熱膨張係数が3.8ppm/℃と、シリコンチップの熱膨張係数と非常に近いので、内部応力による剥離や封止材のクラックが抑えられ、温度サイクル性では5000サイクル以上、耐リフロー性では168時間以上と信頼性が優れている。

【0060】比較例2ではシリコンチップの搭載面の熱膨張係数が15ppm/℃と高いので、温度サイクル性、耐リフロー性ともに実施例4、5より劣る結果となった。

【0061】実施例4、5、比較例2の実装基板とのはんだパンプ接合部について、温度サイクルによる接続信頼性を調べた結果、いずれも信頼性は良好であった。これは実装面の熱膨張係数は15ppm/℃であり、実装基板の熱膨張係数に非常に近いのである。

【0062】

【発明の効果】多層プリント配線基板の上面と下面で異なる熱膨張係数により生ずる剪断ひずみによる反りや層間剥離を、層間に剪断ひずみの吸収層3を設けて吸収し、シリコンチップ等のベアチップ実装、ボールグリッドアレイパッケージ等の接続信頼性を向上させた。

【0063】本発明の多層プリント配線基板およびそれを用いたボールグリッドアレイ型の実装構造体は、いずれも優れた信頼性を有する。

【図面の簡単な説明】

【図1】熱膨張係数が異なる2枚のプリント配線基板を

積層した場合に生じる剪断ひずみが吸収層で緩和される様子を示す模式断面図である。

【図2】プリント配線基板の層間に剪断ひずみの吸収層を有する多層プリント配線基板の製法の一例を示すフロー図である。

【図3】多層プリント配線基板にベアチップ実装した実装構造体の模式鳥瞰図である。

【図4】プリント配線基板の熱膨張係数を積層方向に対して3.8、7および15ppm/℃と段階的に変化させた6層プリント配線基板の模式断面図である。

【図5】実施例4のボールグリッドアレイパッケージの断面図である。

【図6】実施例5のボールグリッドアレイパッケージの断面図である。

【符号の説明】

1、2…プリント配線基板、3、18…吸収層、4、5…銅箔、6、7…配線回路、8…スルーホール、11…半導体素子、12…はんだパンプ、13、27…樹脂封止材、14…半導体素子、15、28…金ワイヤ、16…多層プリント配線基板、17…低熱膨張プリント配線基板、19…プリント配線基板、20…はんだパンプ、21…実装基板、22…セラミック/エポキシ樹脂複合基板、23…プリント配線基板2、24…プリント配線基板3、25…シリコーンゴム、26…半導体素子、29…多層プリント配線基板、30…はんだボールグリッド、31…異方性導電膜、32…銅粒子、33…導通部分。

【図 1】

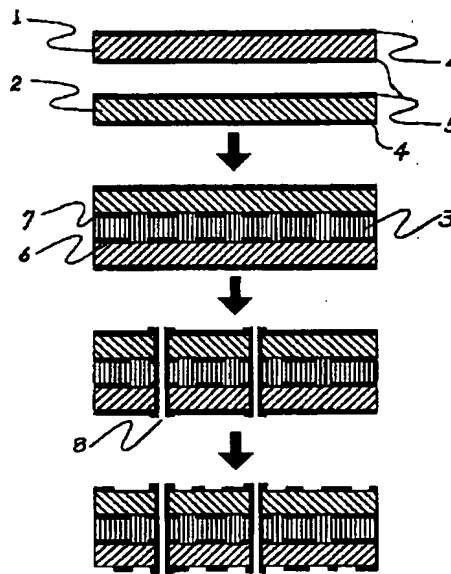
図 1



1, 2...プリント配線基板 3...吸収層

【図 2】

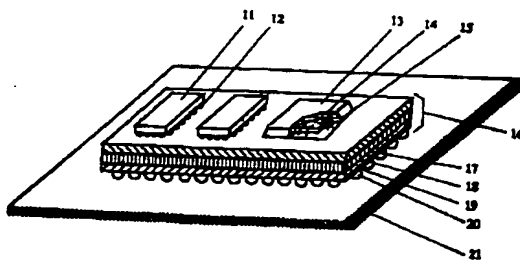
図 2



4, 5...銅箔 6, 7...配線回路 8...スルーホール

【図 3】

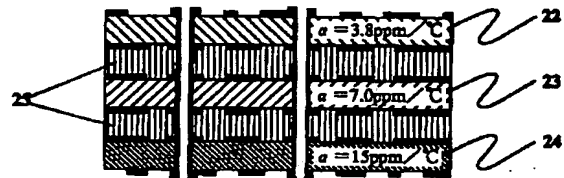
図 3



11...半導体素子 (シリコンチップ) 12...はんだバンプ
 13...樹脂封止材 14...半導体素子 15...金ワイヤ
 16...多層プリント配線基板 17...低熱膨張プリント配線
 基板 18...吸収層 19...プリント配線基板
 20...はんだボールグリッド 21...実装基板

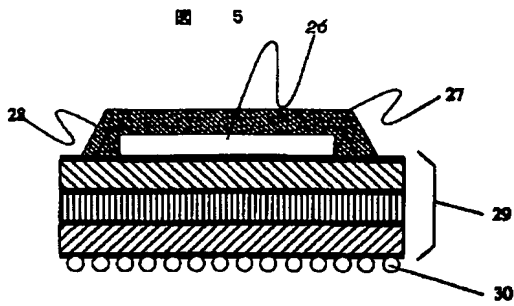
【図 4】

図 4



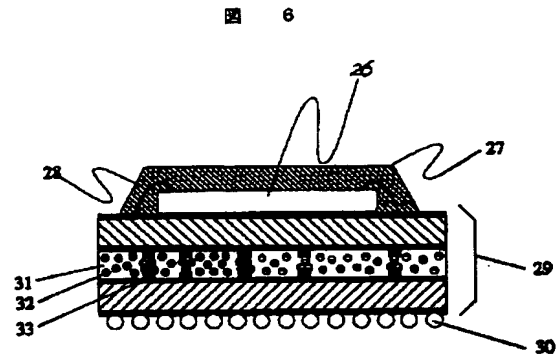
22...セラミック/エポキシ樹脂複合基板
 23...プリント配線基板 24...プリント配線基板
 25...シリコンゴム

【図 5】



26…半導体素子 27…樹脂封止材 28…金ワイヤ
29…多層プリント配線基板 30…はんだボールグリッド

【図 6】



31…長方形導電膜 32…銅粒子 33…導通部分

フロントページの続き

(72) 発明者 瀬川 正則
茨城県日立市大みか町七丁目 1 番 1 号 株
式会社日立製作所日立研究所内
(72) 発明者 小角 博義
茨城県日立市大みか町七丁目 1 番 1 号 株
式会社日立製作所日立研究所内

(72) 発明者 萩野 雅彦
茨城県日立市大みか町七丁目 1 番 1 号 株
式会社日立製作所日立研究所内
(72) 発明者 茂木 亮
茨城県日立市大みか町七丁目 1 番 1 号 株
式会社日立製作所日立研究所内